

PAT-NO: JP404242939A

DOCUMENT-IDENTIFIER: JP 04242939 A

TITLE: PACKAGING STRUCTURE OF SEMICONDUCTOR
DEVICE AND ITS MANUFACTURE

PUBN-DATE: August 31, 1992

INVENTOR-INFORMATION:

NAME

TORII, KAZUHIKO

ASSIGNEE-INFORMATION:

NAME

CITIZEN WATCH CO LTD

COUNTRY

N/A

APPL-NO: JP03137054

APPL-DATE: May 14, 1991

INT-CL (IPC): H01L021/321, H01L021/60

US-CL-CURRENT: 438/FOR.343

ABSTRACT:

PURPOSE: To provide a flexibility which can respond to a composite substrate or a stepped substrate and to enable packaging of small size and high density by providing connection electrode pads of a semiconductor device with a plurality of bump electrodes different in height.

CONSTITUTION: A connection electrode 12 is arranged on the surface of a substrate 11, and this connection electrode 12 is connected to a flexible printed circuit(FPC)13 as the input-output signal bus line

by means of an anisotropic conductive film 14. The FPC 13 consists of an insulating layer 13b and connection wiring layers 13a, 13c formed on both faces of this insulating layer 13b. Further, solder on the tip 25b of a bump electrode 25 of a semiconductor device 2 of bump electrodes different in height is melted to connect a semiconductor chip 21 having bump electrodes 25 to the connection electrode 21 and the FPC 13 on the substrate 11. Therefore, this can respond to steps developed by mounting other components on the substrate and enables small-sized, high-density packaging. It is possible to make not only packaging on the substrate surface, but also further connection from above components packaged on the substrate.

COPYRIGHT: (C)1992,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-242939

(43) 公開日 平成4年(1992)8月31日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321				
21/60	3 1 1 Q	6918-4M		
		9168-4M	H 0 1 L 21/92	C
		9168-4M		F

審査請求 未請求 請求項の数5(全9頁)

(21) 出願番号	特願平3-137054
(22) 出願日	平成3年(1991)5月14日
(31) 優先権主張番号	特願平2-410108
(32) 優先日	平2(1990)12月13日
(33) 優先権主張国	日本(J P)

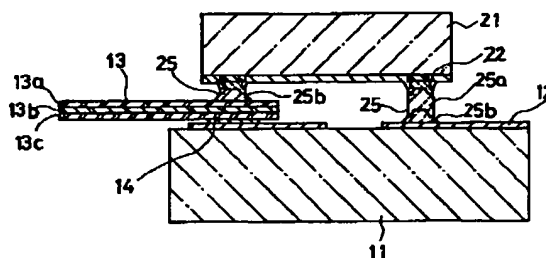
(71) 出願人	000001960 シチズン時計株式会社 東京都新宿区西新宿2丁目1番1号
(72) 発明者	鳥居 和彦 埼玉県所沢市大字下富字武野840番地 シチズン時計株式会社技術研究所内

(54) 【発明の名称】 半導体装置の実装構造およびその製造方法

(57) 【要約】

【構成】 半導体装置21の接続電極パッド22上に複数の高さの異なる突起電極25を設ける。

【効果】 複数の部品を搭載する基板や段差のある基板に対応できる柔軟性がある高密度な半導体装置の実装構造および製造方法が得られる。さらに半導体装置の実装や接続に用いる異方性導電接着剤の導電粒の大きさを変えることにより、半導体装置内部の電気回路を選択することが可能で、トリミング技術に応用が可能である。



11. 基板
12. 接続電極
21. 半導体装置
25. 突起電極

1

【特許請求の範囲】

【請求項1】 半導体装置の接続電極パッド上に複数の高さの異なる突起電極を有することを特徴とする半導体装置の実装構造。

【請求項2】 半導体装置の半導体素子形成面上の全面に保護膜を形成し、フォトリソグラフィーとエッチングにより接続電極パッド上に開口部を形成し、全面に共通電極膜を形成する工程と、全面にメッキレジストを形成し高さの高い突起電極の形成領域に開口部を形成する工程と、メッキにより突起電極の台座部分を形成し、該メッキレジストを除去する工程と、メタルマスクを前記半導体装置上に配置し、該メタルマスク開口の突起電極の形成領域にハンダを形成し、熱処理を行い該ハンダを丸めて突起電極の先端部を形成し、該突起電極をマスクにして前記共通電極膜をエッチングする工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 半導体装置の半導体素子形成面上の全面に保護膜を形成し、フォトリソグラフィーとエッチングにより接続電極パッド上に開口部を形成し、全面に共通電極膜を形成する工程と、全面に第1のメッキレジストを形成し高さの高い突起電極の形成領域に開口部を形成する工程と、メッキにより突起電極の台座部分を形成し、該第1のメッキレジストを除去する工程と、全面に第2のメッキレジストを形成し突起電極の形成領域に開口部を形成し、メッキにより突起電極の先端部を形成し、該第2のメッキレジストを除去し、該突起電極をマスクにして前記共通電極膜をエッチングする工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 半導体装置の半導体素子形成面上の全面に保護膜を形成し、フォトリソグラフィーとエッチングにより接続電極パッド上に開口部を形成し、全面に共通電極膜を形成し、さらに全面に感光性レジストを形成し、フォトリソグラフィーにより高さの高い突起電極の形成領域に開口部を形成する工程と、全面に突起電極の台座部分となる金属膜を形成する工程と、前記感光性レジストを除去することにより前記感光性レジスト上に形成した金属膜を除去し、前記感光性レジストの開口部に突起電極の台座部分を形成する工程と、メタルマスクを前記半導体装置上に配置し、該メタルマスク開口の突起電極の形成領域にハンダを形成し、熱処理を行い該ハンダを丸めて突起電極の先端部を形成し、該突起電極をマスクにして前記共通電極膜をエッチングする工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 半導体装置の半導体素子形成面上の全面に保護膜を形成し、フォトリソグラフィーとエッチングにより接続電極パッド上に開口部を形成し、全面に共通電極膜を形成し、さらに全面に感光性レジストを形成し、フォトリソグラフィーにより高さの高い突起電極の形成領域に開口部を形成する工程と、全面に突起電極の台座部分となる金属膜を形成する工程と、前記感光性レ

2

ジストを除去することにより前記感光性レジスト上に形成した該金属膜を除去して、前記感光性樹脂の開口部に突起電極の台座部分を形成する工程と、全面にメッキレジストを形成し、突起電極の形成領域に開口部を形成し、メッキにより突起電極の先端部を形成し、該メッキレジストを除去し、該突起電極をマスクにして前記共通電極膜をエッチングする工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、突起電極を有する半導体装置と接続電極を配置した基板との電気的接続を行なうための実装構造と、この実装構造を形成するための製造方法とに関するものである。

【0002】

【従来技術】 近年、半導体装置の実装に望まれている実装面積が小さく、実装厚が薄い実装方法に対応するため、半導体装置の素子形成面を下にして実装するフェイスダウンボンディングが広く採用されている。フェイスダウンボンディングの一般的な方法は、フリップチップボンディング（以下FCと称す）法や、ガラス基板上に半導体装置を実装するチップオンガラス（以下COGと称す）法で、どちらも半導体装置に突起電極を備えていることが特徴である。

【0003】 以下、図6、および図7に基づいてフェイスダウンボンディングを説明する。図6（a）はFC法で実装する半導体装置の突起電極を示す断面図であり、図6（b）はFC法で接続する実装構造を示す断面図であり、図7（a）はCOG法で実装する半導体装置の突起電極を示す断面図であり、図7（b）は導電性接着剤を用いたCOG法で接続する実装構造を示す断面図であり、図7（c）は異方性導電接着剤を用いたCOG法で接続する実装構造を示す断面図である。以下、図6と図7とを交互に用いて説明する。

【0004】 まず突起電極の構造を説明する。図6（a）と図7（a）とに示すように、半導体装置21の半導体素子形成面に設けたアルミニウムからなる接続電極パッド22を開口露出するように、保護膜23を形成する。さらに接続電極パッド22上に、この接続電極パッド22との接着や、拡散防止のために共通電極膜24を形成する。さらに突起電極25をメッキ法や真空蒸着法で形成する。図6（a）に示すFC法で実装する半導体装置の突起電極25は、ハンダからなる突起電極を用いる。また図7（a）に示すCOG法で実装する半導体装置の突起電極25は、銅や金などの金属からなる突起電極25を用いる。

【0005】 次に図6（a）と図7（a）とで説明した突起電極を用いて、半導体装置と基板との接続方法を説明する。

【0006】 FC法を用いた接続方法を図6（b）を用

3

いて説明する。FC法の接続は、半導体装置21の外形で位置合わせを行い、その後ハンダからなる突起電極25を熱で溶融させ、基板11に形成した接続電極12と、突起電極25を形成した半導体基板21とを接続する。

【0007】COG法を用いた接続方法を図7(b)を用いて説明する。COG法における接続は、半導体装置21の突起電極25の先端に、エポキシ系の接着剤に導電粒を混入した導電性接着剤27を、ディップ法や印刷法で塗布し、双眼顕微鏡などで半導体装置21と基板11との位置合わせを行い、ガラスからなる基板11に形成した接続電極12に突起電極25を接続する。

【0008】また、図7(a)に示した導電性接着剤27の代わりに、厚さ方向に導電性を有し、横方向に導電性を持たない異方性導電接着剤28を使用する接続方法がある。この異方性導電接着剤を用いた接続方法を図7(c)に示す。異方性導電接着剤28は、絶縁材料からなる主材28aと、弾性を有する導電粒28bと、この導電粒28bよりも若干粒径が小さい非導電粒28cとによって構成する。この異方性導電接着剤28を印刷法で接続電極12を形成したガラスからなる基板11に塗布し、図7(a)に示した、突起電極25を有する半導体装置21を基板11に熱圧着する。

【0009】

【発明が解決しようとする課題】図6と図7とを用いて説明したフェイスダウンボンディング法では、平坦な基板に半導体装置を実装することを前提とし、基板に段差が発生しないように設計を行なっている。このような状況で実装構造を小型高密度なものにするためには、接続配線ピッチの微細化と、基板へ搭載する部品の削減とで対応している。実装技術の進歩に伴い高密度化が着実に進んではいるが、この手法には限界がある。

【0010】この課題を解決するため本発明の目的は、複数の部品が搭載されている複合基板や段差のある基板等に対応できる柔軟性があり、そのうえ小型でしかも高密度な実装が可能な半導体装置の実装構造と、この構造を形成するための製造方法とを提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明は下記記載の構成と、この構成を形成するための製造方法とを採用する。

【0012】半導体装置の接続電極パッド上に複数の高さの異なる突起電極を設け、基板に他の部品を搭載したことにより発生する段差に対応する。

【0013】半導体装置の半導体素子形成面上の全面に保護膜を形成し、フォトリソグラフィーとエッチングにより接続電極パッド上に開口部を形成し、全面に共通電極膜を形成する工程と、全面にメッキレジストを形成し高さの高い突起電極の形成領域に開口部を形成する工程と、メッキにより突起電極の台座部分を形成し、メッキ

4

レジストを除去する工程と、メタルマスクを半導体装置上に配置し、メタルマスク開口の突起電極の形成領域にハンダを形成し、熱処理を行いハンダを丸めて突起電極の先端部を形成し、突起電極をマスクにして前記共通電極膜をエッチングする工程とを有する。

【0014】半導体装置の半導体素子形成面上の全面に保護膜を形成し、フォトリソグラフィーとエッチングにより接続電極パッド上に開口部を形成し、全面に共通電極膜を形成する工程と、全面に第1のメッキレジストを形成し高さの高い突起電極の形成領域に開口部を形成する工程と、メッキ法により突起電極の台座部分を形成し、第1のメッキレジストを除去する工程と、全面に第2のメッキレジストを形成し突起電極の形成領域に開口部を形成し、メッキにより突起電極の先端部を形成し、第2のメッキレジストを除去し、突起電極をマスクにして共通電極膜をエッチングする工程とを有する。

【0015】半導体装置の半導体素子形成面上の全面に保護膜を形成し、フォトリソグラフィーとエッチングにより接続電極パッド上に開口部を形成し、全面に共通電極膜を形成し、さらに全面に感光性レジストを形成し、フォトリソグラフィーにより高さの高い突起電極の形成領域に開口部を形成する工程と、全面に突起電極の台座部分となる金属膜を形成する工程と、感光性レジストを除去することにより感光性レジスト上に形成した金属膜を除去し、感光性レジストの開口部に突起電極の台座部分を形成する工程と、メタルマスクを半導体装置上に配置し、メタルマスク開口の突起電極の形成領域にハンダを形成し、熱処理を行いハンダを丸めて突起電極の先端部を形成し、この突起電極をマスクにして共通電極膜をエッチングする工程とを有する。

【0016】半導体装置の半導体素子形成面上の全面に保護膜を形成し、フォトリソグラフィーとエッチングにより接続電極パッド上に開口部を形成し、全面に共通電極膜を形成し、さらに全面に感光性レジストを形成し、フォトリソグラフィーにより高さの高い突起電極の形成領域に開口部を形成する工程と、全面に突起電極の台座部分となる金属膜を形成する工程と、感光性レジストを除去することによりこの感光性レジスト上に形成した金属膜を除去して、感光性樹脂の開口部に突起電極の台座部分を形成する工程と、全面にメッキレジストを形成し、突起電極の形成領域に開口部を形成し、メッキにより突起電極の先端部を形成し、メッキレジストを除去し、この突起電極をマスクにして共通電極膜をエッチングする工程とを有する。

【0017】

【実施例】以下、本発明による実施例を図面に基づいて説明する。本発明における第1の実施例を図1と、図2とを用いて説明する。図1は第1の実施例における半導体装置の実装構造を示す断面図であり、図2は高さの異なる突起電極の形成方法を説明するための断面図であ

る。

【0018】まず本発明の実装構造を図1に示す。基板11の表面に接続電極12を配置し、この接続電極12と、入出力信号用バスラインとして、フレキシブル・プリント・サーキット（以下FPCと称す）13とを異方性導電フィルム14を用いて接続する。FPC13は絶縁層13bと、この絶縁層13bの両面に形成した接続配線層13a、13cとで構成する。さらに高さの異なる突起電極を有する半導体装置21の突起電極25の先端部25bのハンダを溶融し、突起電極25を有する半導体装置21を、基板11上の接続電極12とFPC13とに接続する。

【0019】高さの異なる突起電極を形成した半導体装置の構造を図2（d）に示す。高さの異なる突起電極を有する半導体装置21は、半導体素子形成面にある接続電極パッド22が開口露出するように保護膜23を設け、接続電極パッド22表面に共通電極膜24を設ける。さらに基板の段差に応じた高さの異なる突起電極25を共通電極膜24上に設ける。高さの高い突起電極は、台座部分25aと先端部25bとの二層構造で、高さの低い突起電極は先端部25bのみで構成する。

【0020】次に図1を用いて説明した本発明における半導体装置の実装構造を形成するための製造方法を、図2を用いて説明する。高さの異なる突起電極の形成方法は、まず図2（a）に示すように、半導体装置21の半導体素子形成表面に設けたアルミニウムからなる接続電極パッド22を含む全面に保護膜23を形成する。この保護膜23は、一般的に燐を含有した二酸化シリコン膜や、窒化シリコン膜等の無機質膜や、ポリイミド樹脂等の有機質膜や、これら無機質膜と有機質膜との積層構造を用いる。保護膜23の膜厚は1～5μmである。その後、所定のマスクを用いて露光、および現像処理を行なうフォトリソグラフィとエッチングにより、接続電極パッド22が露出するように保護膜23を開口する。

【0021】さらに半導体装置21の全面にアルミニウム、クロム、銅、ニッケル、チタン等の金属多層膜を共通電極膜24として、それぞれ0.1～10μmの厚さでスパッタリング法や真空蒸着法等の方法で形成する。

【0022】次に図2（b）に示すように、感光性樹脂からなるメッキレジスト26を厚さ1～10μm塗布し、フォトリソグラフィにより高さの高い突起電極を形成したい接続電極パッド22上に開口部を設ける。

【0023】次に図2（c）に示すように、銅や金等の金属からなる突起電極25の台座部分25aをメッキ法にて形成する。この台座部分25aのメッキ層の膜厚は、基板の段差厚と同一にする。その後、不用になったメッキレジスト26を除去する。

【0024】次に図2（d）に示すように、メタルマスクを使用して突起電極25の先端部25bとなる鉛とスズからなるハンダを、50～100μmの厚さで真空蒸

着法により、台座部分25a上と、接続電極パッド22の共通電極膜24上とに形成する。その後、フラックスを塗布して、熱処理を行い突起電極25の先端部25bを半円球状にする丸め処理を行なう。

【0025】突起電極25の先端部25bの別の形成方法を次に説明する。図2（c）に示す台座部分25aを形成後、第2のメッキレジストを全面に塗布し、フォトリソグラフィにより接続電極パッド22上に開口部を設け、共通電極膜24をメッキ電極として、メッキ法によりハンダからなる突起電極25の先端部25bを形成する。その後、不用となった第2のメッキレジストを除去する。さらにその後、突起電極25をエッチングのマスクとして共通電極膜24をエッチングすることにより除去して、図2（d）に示す、高さの異なる突起電極25を有する半導体装置21を形成する。

【0026】以上の説明では突起電極の高さの種類としては、高いものと低いものと二種類であったが、三つ以上の種類の高さの異なる突起電極を設けても良い。この突起電極の形成方法を以下に記す。図2（c）に示す、突起電極25の台座部分25aを形成後、台座部分25aの形成に用いたメッキレジスト26を除去せず、さらに新たにメッキレジストを半導体装置21の全面に塗布する。その後、所定のマスクを用いて露光現像処理を行なうフォトリソグラフィによって、最も高さの高い突起電極の形成領域を開口し、この最も高さの高い突起電極の形成領域以外の突起電極の形成領域を覆うように形成する。その後メッキ処理を行ない突起電極25の台座部分25aを形成し、台座部分25aの厚さを厚くする。このように、メッキレジスト26の形成工程とメッキ工程とを繰り返すことにより、複数の高さの突起電極25の台座部分25aを形成する。この後、図2（d）を用いて説明したように、メタルマスクを用いた真空蒸着法やメッキ法によって突起電極25の先端部分25bを形成することにより、複数の高さの異なる突起電極を形成することができる。

【0027】さらに図3に示すようにリフトオフ法を用いて、高さの異なる突起電極を形成することが可能である。まず図3（a）に示すように、半導体装置21の半導体素子形成表面に設けたアルミニウムからなる接続電極パッド22を含む全面に保護膜23を形成する。この保護膜23は、一般的に燐を含有した二酸化シリコン膜や、窒化シリコン膜等の無機質膜や、ポリイミド樹脂等の有機質膜や、これら無機質膜と有機質膜との積層構造を用いる。この保護膜23の膜厚は1～5μmである。その後、所定のマスクを用いて露光、および現像処理を行なうフォトリソグラフィと、エッチングにより、接続電極パッド22が露出するように保護膜23を開口する。

【0028】さらに半導体装置21の全面にアルミニウム、クロム、銅、ニッケル、チタン等の金属多層膜を共

7

通電極膜24として、それぞれ0.1~10 μ mの厚さで、スパッタリング法や真空蒸着法等の方法で形成する。

【0029】その後、感光性樹脂からなる感光性レジスト33を全面に塗布し、フォトリソグラフィーにより高さの高い突起電極を形成したい接続電極パッド22上に開口部を設ける。感光性レジスト33の膜厚は基板の段差厚と同一にする。

【0030】次に図3(b)に示すように、半導体装置21上の全面に、高さの高い突起電極25の台座部分25aとなる銅等の金属膜19を感光性レジスト33とほぼ同じ厚さに形成する。

【0031】次に図3(c)に示すように、レジスト剥離液によって金属膜19下層の感光性レジスト33を除去するリフトオフにより、感光性レジスト33上に形成した金属膜19を除去する。この感光性レジスト33の除去により、感光性レジスト33の開口内の高さの高い突起電極25の形成領域に、突起電極25の台座部分25aを形成する。

【0032】次に図3(d)に示すように、メタルマスクを使用して、突起電極25の先端部25bとなる鉛とスズからなるハンダを50~100 μ mの厚さで真空蒸着法によって、台座部分25aと接続電極パッド22の共通電極膜24上とに形成する。その後フラックスを塗布し、熱処理を行い突起電極25の先端部25bを半円球状にする丸め処理を行なう。

【0033】また突起電極25の先端部25bの別の形成方法をつぎに説明する。図3(c)に示す突起電極25の台座部分25aを形成後、メッキレジストを塗布し、フォトリソグラフィーにより接続電極パッド22上に開口部を設ける。その後、共通電極膜24を電極としてメッキ法によりハンダからなる突起電極25の先端部25bを形成する。その後、不用となったメッキレジスト26を除去する。さらにその後、突起電極25をエッチングのマスクとして、共通電極膜24を除去して、図3(d)に示す高さの異なる突起電極25を有する半導体装置21を形成する。

【0034】図1に示す、基板11は紙フェノールや紙エポキシ等の有機質材料、あるいはアルミナセラミックや結晶化ガラス等の無機質材料、あるいはガラスエポキシ等の有機無機質材料からなる。この基板11の表面に感光性樹脂からなるメッキレジストを形成し、フォトリソグラフィーでパターンニングする。その後、銅、銀、金などの金属を無電解メッキ法で10~200 μ mの厚さで形成し、不用になったメッキレジストを除去することにより接続電極12を形成する。また金属材料を真空蒸着法やスパッタリング法等で形成し、その後、感光性樹脂を塗布し、フォトリソグラフィーとエッチングにより接続電極12を形成することも可能である。

【0035】図1に示すFPC13は、ポリイミドある

8

いはポリエステルなどの有機質材料で構成する絶縁層13bの両面に、感光性樹脂からなるメッキレジストをフォトリソグラフィーでパターンニングして、銅、銀、金などの金属を無電解メッキ法で形成する。その後不用になったメッキレジストを除去して、接続配線層13a、13cを形成する。FPC13の絶縁層13bの厚さは、50~100 μ m、接続配線層13a、13cの厚さは、10~50 μ mが一般的である。

【0036】次に図1に示す、異方性フィルム14を用いた接続方法と、半導体装置21の接続方法とを説明する。異方性導電フィルム14を、FPC13の接続配線層13cに固定し、仮焼成する。その後、基板11に配置した接続電極12と、異方性導電フィルム14を仮固定したFPC13とを熱圧着法により接続して、電気的接続を行なう。さらにFPC13の厚さ分の高さが異なる突起電極を備えた半導体装置21を加熱して、突起電極25の先端部25bのハンダを溶融させ、高さの高い突起電極は基板11に配置した接続電極12と、高さの低い突起電極はFPC13の接続電極層13aと電気的接続を行い、図1に示す構造になる。

【0037】本発明の半導体装置の実装構造における第2の実施例を、図4を用いて説明する。図4は本発明における第2の実施例の半導体装置の実装構造を示す断面図である。接続電極12を配置した基板11に、第2の半導体装置31bが納まる大きさの凹部32を設け、接着剤15を用いて第2の半導体装置31bを固定する。基板11に設ける凹部32の深さは第2の半導体装置32bの厚さと同じにして、実装面を平坦にするのが理想である。

【0038】しかし、実装厚を薄くするためにできるだけ薄い基板11を用いるので、基板強度の関係により凹部32の深さには制限がある。そのために完全に実装面を平坦化するのは難しく、基板11表面には段差が発生する。

【0039】凹部32に納める第2の半導体装置31bは、半導体素子形成面にある接続電極パッド22が開口露出するように保護膜23を設け、接続電極パッド22表面に共通電極膜24と、さらに外部接続用電極29とを有する。高さの異なる突起電極を有する第1の半導体装置31aに形成する、突起電極25の先端部25bのハンダを溶融し、基板11上の接続電極12と、基板11の凹部32に収納した第2の半導体装置31bの外部接続用電極29とに接続する。さらに基板11の凹部32に納めた第2の半導体装置31bの外部接続用電極29と、基板11に配置した接続電極12とを金属ワイヤー16でボンディング接続する。

【0040】次に図4に示す半導体装置の実装構造を形成するための製造方法を説明する。基板11の形成方法と、この基板11に接続電極12を製造する方法とは、第1の実施例と同様である。第2の半導体装置31bを

収納する凹部32は、エッチングや機械的な加工等の方法によって形成する。基板11に設けた凹部32に第2の半導体装置31bを固定する方法は、銀等の導電粒をエポキシ系の接着剤に混入した導電性接着剤や、エポキシ等の絶縁性接着剤からなる接着剤15をディスペンサ法によって、凹部32の底面に塗布し、その後第2の半導体装置31bを搭載し、接着剤15を硬化させることにより行なう。

【0041】基板11の凹部32に収納する第2の半導体装置31bは、第1の実施例で説明した高さの異なる突起電極を有する半導体装置と同じ方法で、接続電極パッド22と、保護膜23と、共通電極膜24とをそれぞれ形成する。さらにメッキレジストを接続電極パッド22上に開口するように設け、金や銅などの金属からなる外部接続用電極29を、メッキ法で1~20μmの厚さで形成する。

【0042】高さの異なる突起電極を有する第1の半導体装置31aの形成方法は、第1の実施例と同様で、第1の半導体装置31aを加熱して突起電極の先端部25bのハンダを溶融させる。この結果、高さの高い突起電極は基板11に配置した接続電極12と接続し、高さの低い突起電極は基板11に設けた凹部32に納めた第2の半導体装置31bの外部接続用電極29と接続して、それぞれ電気的接続を行なう。

【0043】さらに高さの異なる突起電極を有する第1の半導体装置31aと接続しない基板11の凹部32に収納した第2の半導体装置31bの外部接続用電極29は、基板11に配置した接続電極12と、金、銀、銅などの金属を用いた金属ワイヤー16でボンディング接続を行い、図4に示す実装構造を形成する。

【0044】本発明における高さの異なる突起電極を備えた半導体装置の第3の実施例を図5を用いて説明する。図5は本発明の第3の実施例における半導体装置の実装構造を示す断面図である。基板11に配置した接続電極12と半導体装置21とを異方性導電接着剤28を用いて接続した構造を図5に示す。半導体装置21は、半導体素子形成領域に形成する抵抗素子30を備え、かつ複数の高さの異なる突起電極25を有するものである。異方性導電接着剤28は主材28a、導電粒28b、非導電粒28cとで構成する。

【0045】図5(a)に示す実装構造は、半導体装置21に形成した突起電極25のうち高さの高い突起電極だけが基板11に配置した接続電極12と接続するよう、異方性導電接着剤28の導電粒28bの大きさを選択する。また図5(b)に示す実装構造は、半導体装置21に形成した突起電極25のうち高さの低い突起電極と、高さの高い突起電極との両方を基板11に配置した接続電極12と接続するように、図5(a)で使用する、異方性導電接着剤28の導電粒28bよりも大きい導電粒28bを選択する。

【0046】次に、図5を用いて説明した異方性導電接着剤28を用いた半導体装置21の実装構造を製造するための製造方法を説明する。半導体装置21の半導体素子形成領域に抵抗素子30を、不純物拡散層やポリシリコン層によって形成する。抵抗素子30の両端に高さの高い突起電極と、抵抗素子30の中央部に高さの低い突起電極とを、第1の実施例と同じ製造方法で形成する。基板11の形成方法と、この基板11に配置した接続電極12の製造方法とに関しても、第1の実施例と同じ製造方法で形成する。

【0047】異方性導電接着剤28は、主剤28aと、導電粒28bと、非導電粒28cとで構成する。主剤28aは、ガラスペースト等の無機質材料や、エポキシ樹脂、ポリエステル樹脂等の有機質材料で構成する。導電粒28bは、弾性を有するスチレンとジビニルベンゼンとの共重合体からなるプラスチックビーズに、ニッケル、アルミニウム、金、銀等の金属を、一種または二種以上をメッキ処理して形成する。非導電粒28cは、ガラスファイバや金属酸化物等の無機質材料や、ポリメチルメタクリレート等の硬度の高い有機質材料で形成したビーズにて構成する。

【0048】異方性導電接着剤28は、ロール混練により主材28aに導電粒28bと、非導電粒28cとを混ぜ合わせ形成する。印刷法によって、接続電極12を配置した基板11に異方性導電接着剤28を適量塗布して、80℃程度の温度で仮焼成する。その後、高さの異なる突起電極を有する半導体装置21を基板11上に配置して、120~150℃の温度で圧力を加えながら接続を行なう。

【0049】異方性導電接着剤28の導電粒28bの大きさを、非導電粒28cの直径に突起電極の台座部分25aの高さを加えた寸法よりも小さいものを用いた場合の実装構造を図5(a)に示す。高さの低い突起電極は基板11に配置した接続電極12とは導通せず、高さの高い突起電極だけが接続電極12と電気的接続が行われる。この結果基板11に配置した接続電極12の間の抵抗は、半導体素子領域に形成した抵抗素子30になる。

【0050】また異方性導電接着剤28の導電粒28bの大きさを、非導電粒28cの直径に突起電極の台座部分25aの高さを加えた寸法よりも大きいものを用いた場合の実装構造を図5(b)に示す。高さの低い突起電極と高さの高い突起電極との両方が、基板11に配置した接続電極12と導通する。この結果、基板11に配置した接続電極12の間の抵抗は、抵抗素子30の中央部に高さの低い突起電極を設けると、半導体素子領域に形成した抵抗素子30の二分の一になる。このように異方性導電接着剤28の導電粒28bの大きさを選ぶことにより、任意の抵抗値を有する回路を実装時に選択することが可能である。

【0051】この高さの異なる突起電極と大きさの異なる

る導電粒とを組み合わせる半導体装置は、図5を用いて説明した抵抗素子だけではなく、容量素子にも応用可能である。

【0052】

【発明の効果】本発明による高さの異なる突起電極を有する半導体装置を用いた実装構造および製造方法では、基板に他の部品を搭載してできた段差に対応できるため、小型高密度な実装が可能となる。さらに基板表面だけの実装だけではなく、基板に実装した部品の上からさらに接続が可能となり、従来にはない小型でしかも高密度な半導体装置の実装構造および製造方法を提供することができ、絶大な効果が得られる。

【0053】また高さの異なる突起電極を有する半導体装置を異方性導電接着剤を用いて接続する場合、同一の半導体装置を使用するにもかかわらず、異方性導電接着剤の導電粒の大きさを変えることで、半導体装置の内部回路を選択することが可能になる。これはトリミング技術に応用が可能で、従来は半導体装置の特性を検査して、その結果によって、抵抗素子や容量素子等の受動部品をハンダ付やレーザによるトリミング、あるいは内部メモリーによって制御するものはデータの書き込み作業が必要となる。本発明によれば、ユーザーが半導体装置を基板に装着する最終段階で異方性導電接着剤の導電粒の大きさを選択し、任意の電気回路を選択することが可能となり、低コストかつ作業が簡略な手法で多大な効果

を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例における半導体装置の実装構造を示す断面図である。

【図2】本発明で用いる高さの異なる突起電極を有する半導体装置の製造方法を工程順に示す断面図である。

【図3】本発明で用いる高さの異なる突起電極を有する半導体装置の他の実施例における製造方法を工程順に示す断面図である。

【図4】本発明による第2の実施例を示す半導体装置の実装構造を示す断面図である。

【図5】本発明の半導体装置の実装構造における第3の実施例を示す断面図である。

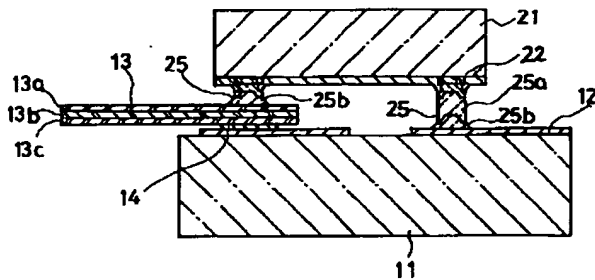
【図6】従来例であるフリップチップボンディング法を説明するための断面図である。

【図7】従来例であるチップオンガラス法を説明するための断面図である。

【符号の説明】

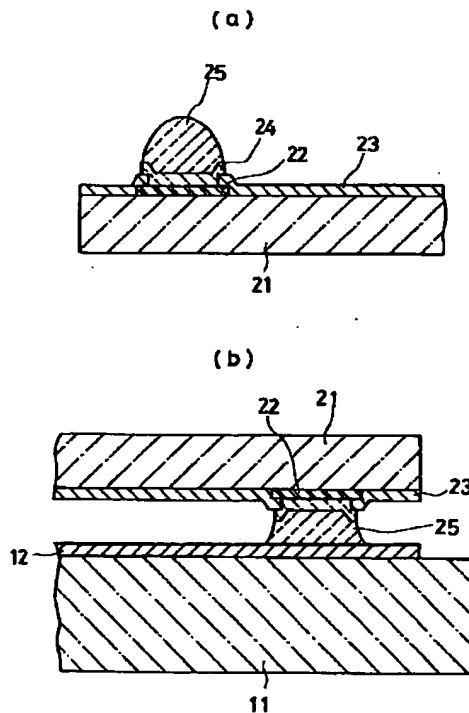
- 11 基板
- 12 接続電極
- 21 半導体装置
- 22 接続電極パッド
- 23 保護膜
- 24 共通電極膜
- 25 突起電極

【図1】

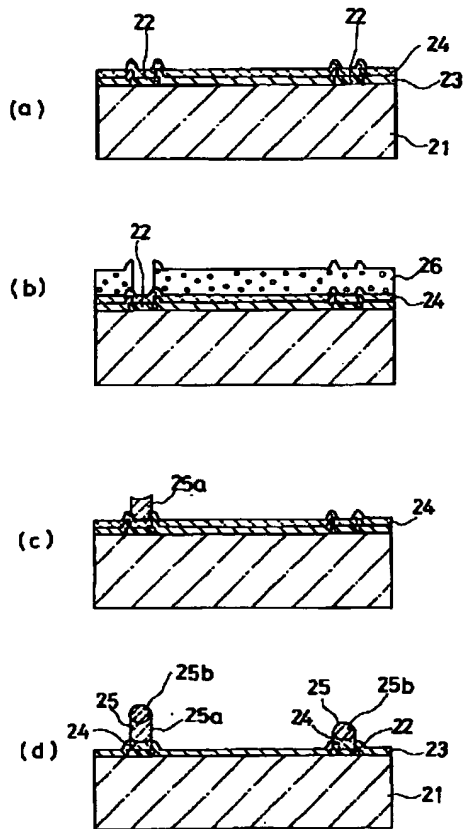


- 11. 基板
- 12. 接続電極
- 21. 半導体装置
- 25. 突起電極

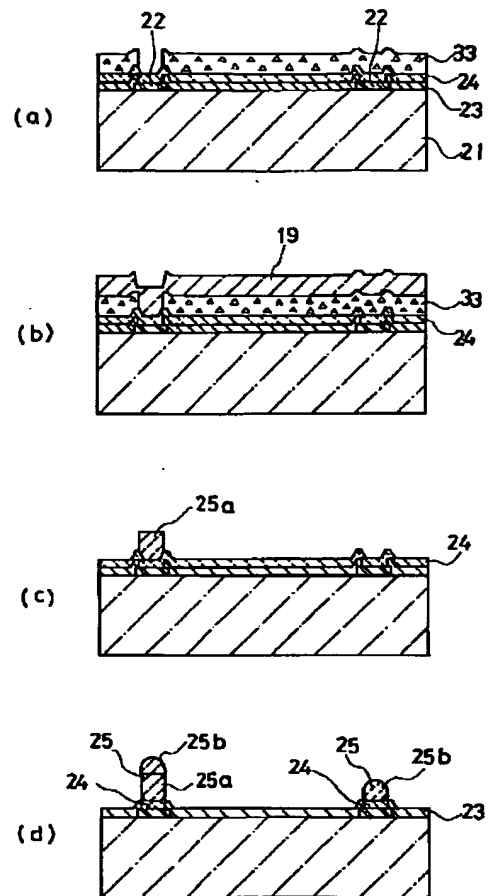
【図6】



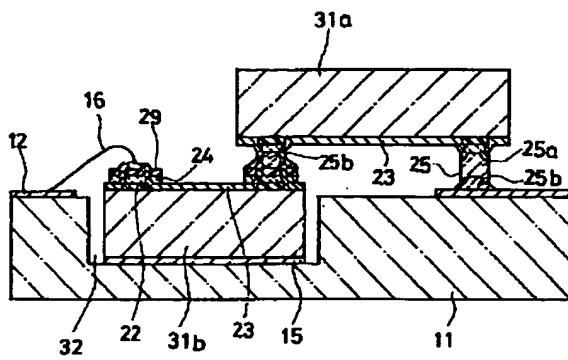
【図2】



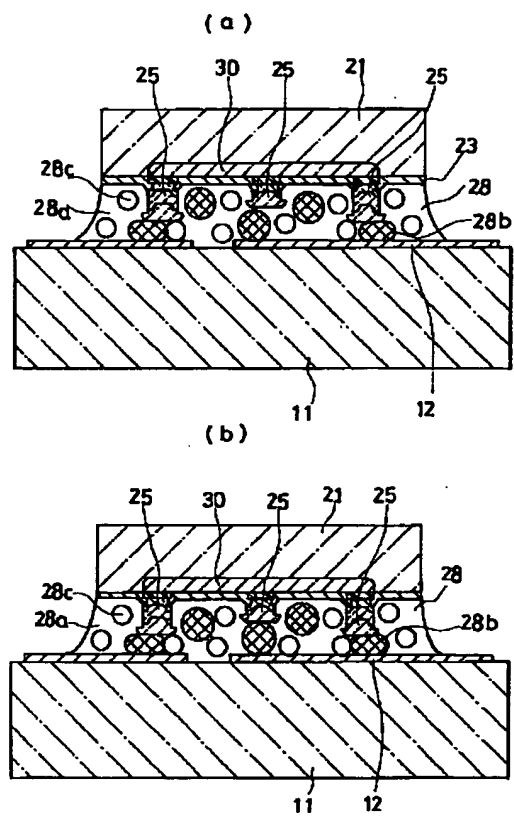
【図3】



【図4】



【図5】



【図7】

